

# 28nm CMOS 공정을 이용한 2.4 / 5.9 GHz Concurrent 이중대역 저잡음 증폭기

\*이제환, 김정현

한양대학교 전자공학과

e-mail : wpghks2005@hanyang.ac.kr, junhkim@hanyang.ac.kr

## A 28nm CMOS 2.4 / 5.9 GHz Concurrent Dual-band LNA

\*Je-Hwan Lee, Jeong-Hyeon Kim

The Department of Electrical and Electronic Engineering, Hanyang University

### 요 약

본 논문은 V2X, WLAN 등의 다중 통신 규격을 동시에 만족하는 저잡음 증폭기의 설계를 수행하였다. 28nm Bulk CMOS 공정을 활용 하여 2.4 GHz 와 5.9 GHz의 중심 주파수에서 concurrent 이중 대역으로 동시에 동작하며 잡음 지수는 각각 3.0 dB와 2.9 dB, 전압 이득은 20 dB와 15.5 dB를 달성하였고 입력 반사 계수는 두 중심 주파수에서 모두 -10 dB 이하로 설계 되었다.

### I. 서 론

산업, 과학, 의료 분야의 비허가 대역 (ISM band)은 별도의 주파수 할당을 받지 않아도 사용이 가능한 주파수 영역이며 옥내 무선 통신 등 다양한 용도로 적극 활용되고 있다. 특히 2.4 GHz 대역과 5.8 GHz 대역은 블루투스, WLAN 등 다양한 무선 통신 규격에 사용 되고 있다. 또한 최근 V2X 통신의 연구가 활발해짐에 따라 5.9 GHz 대역의 무선 통신 또한 수요가 존재한다. 본 논문에서는 다양한 통신 규격을 만족하는 차량 및 모바일 기기를 Front-End Module에 사용 가능한 저잡음 증폭기를 제시한다.

### II. 본론

#### 1. 저잡음 증폭기 설계

저잡음 증폭기의 설계 주안점은 잡음 지수를 최소한으로 가져가는 것이다. Friis equation에 의하면 입력부의 정합 회로에서 발생하는 신호 손실은 회로 전체의 잡음 지수의 열화를 가져온다. 그러므로 본 연구의 당면 과제는 최소한의 정합 소자를 사용하여서 concurrent 이중 대역의 정합을 수행하는 것이다.

선행 연구에서는 mutually connected LC tank [1,2]를 이용하거나 series connected LC tank [3]를 이용하는 등 수동 소자의 공진을 조절하여서 concurrent 이중 대역 정합을 수행하였다. 그러나 [1,2]의 구조의 구현에 필요한 on-chip transformer는 한정적인 coupling factor에 의한 정합 회로의 복잡도가 증가하고 칩 면적이 커진다는 단점이 존재한다. 본 연구에서는 [3]과 같은 정합 회로 구조를 선택하여 설계하였다.

저잡음 증폭기의 topology는 높은 Gain과 적절한 수준의 잡음 지수를 동시에 달성 할 수 있는 Cascode를 택하였다. 28nm Bulk CMOS 공정을 이용하여 Schematic 설계와 Post-Layout 단계에서 시뮬레이션을 수행 하였다.

#### 2. 시뮬레이션 결과

Cadence 설계 Tool을 활용하여 Post-Layout을 Fig. 1과 같이 설계하였고 시뮬레이션으로 추출해낸 저잡음 증폭기의 성능은 다음과 같다. Fig. 2과 Fig. 3는 각각 잡음 지수와 S-Parameter의 결과를 보여준다. 잡음 지

수는 중심 주파수 2.4 GHz와 5.9 GHz에서 각각 약 3.0 dB와 2.9 dB를 달성하였으며, S21은 20 dB와 15.5 dB를 달성하였다. S11과 S22는 양 쪽 중심 주파수에서 모두 -10 dB 이하를 달성하였다.

### III. 결론

본 논문에서는 28nm Bulk CMOS 공정을 사용하여서 2.4 / 5.9 GHz에서 Concurrent 이중대역으로 동작하는 저잡음 증폭기를 설계하였고 Cadence SPECTRE를 이용하여 Post-Layout level의 검증을 수행하였다. 본 연구에서는 차세대 ISM 대역의 다중 통신 규격에 활용 가능한 CMOS 저잡음 증폭기의 검증을 수행하였다.

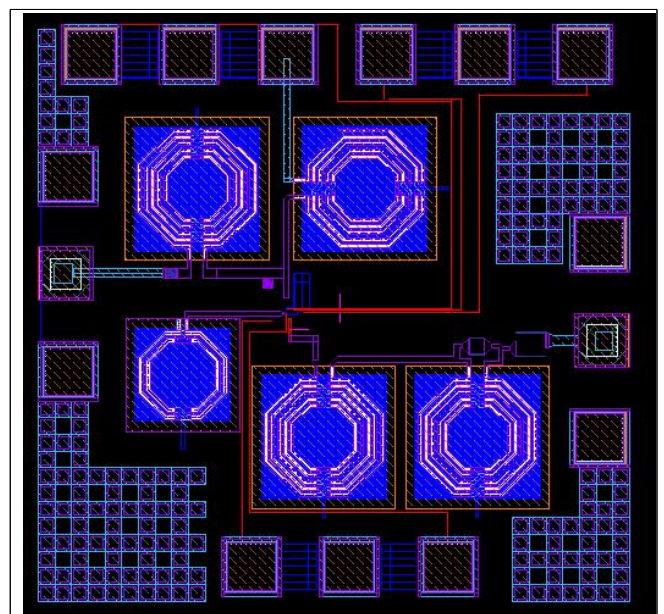


Fig 1. Layout

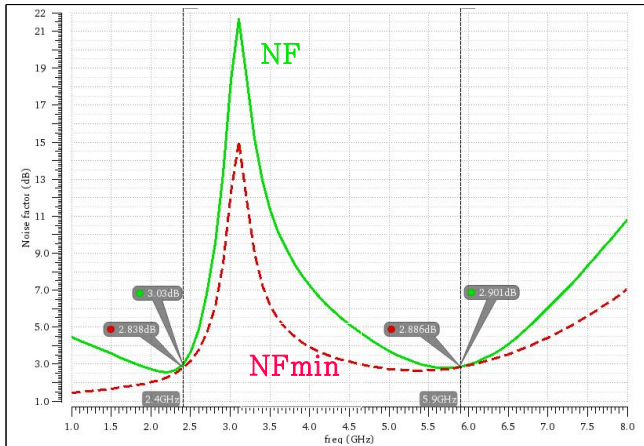


Fig 2. 잡음 지수(NF)와 최소 잡음지수(NFmin)

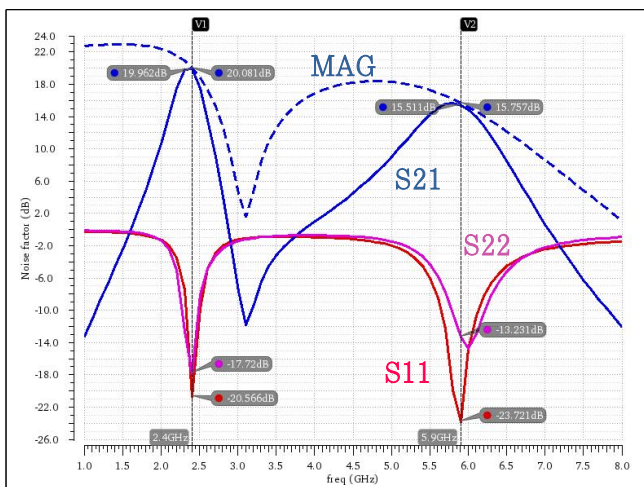


Fig 3. S-Parameter

### ACKNOWLEDGMENT

본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.  
또한 이 성과는 정부 (과학기술정보통신부)의 재원으로 한국연구재단  
의 지원을 받아 수행된 연구입니다 (No. 2021R1F1A1063002).

### 참 고 문 헌

- [1] Kitano, Taishi, et al. "A CMOS LNA equipped with concurrent dual-band matching networks." 2017 IEEE Asia Pacific Microwave Conference (APMC). IEEE, 2017.
- [2] Sawayama, Yuito, et al. "Dual-band concurrent LNA with low gain deviation and low noise figure." 2020 IEEE Asia-Pacific Microwave Conference (APMC). IEEE, 2020.
- [3] Sattar, Sami, and Tun Zainal Azni Zulkifli. "A 2.4/5.2-GHz concurrent dual-band CMOS low noise amplifier." IEEE Access 5 (2017): 21148-21156.